

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-106965
(43)Date of publication of application : 22.04.1997

(51)Int.Cl. H01L 21/301
B28D 5/00
H01L 33/00
H01S 3/18

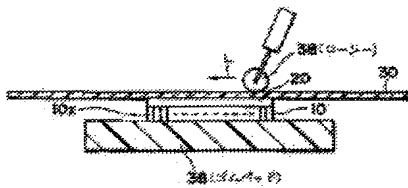
(21)Application number : 07-287875 (71)Applicant : YAMAHA CORP
(22)Date of filing : 09.10.1995 (72)Inventor : YOKOI KATSUYUKI

(54) CLEAVAGE OF HEXAGONAL GALLIUM NITRIDE SEMICONDUCTOR LAYER

(57)Abstract:

PROBLEM TO BE SOLVED: To cleave a GaN semiconductor layer hetero-epitaxially grown on a sapphire substrate.

SOLUTION: A GaN semiconductor layer 20 is hetero-epitaxially grown on the surface of a sapphire substrate 10 and thereafter, an adhesive tape 30 is adhered on the side of the layer 20. After grooves 10x parallel to the cleavage surface of the layer 20 are formed in the substrate 10 by dicing or the like, the layer 20 is pressed by a roller 38, or the like in a state that the substrate 10 is placed on a rubber pad 36 to cleave the layer 20 along the grooves 10x. As a pressing means, a spherical metal mold or the like may be used.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-106965

(43)公開日 平成9年(1997)4月22日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/301			H 01 L 21/78	U
B 28 D 5/00			B 28 D 5/00	Z
H 01 L 33/00			H 01 L 33/00	C
H 01 S 3/18			H 01 S 3/18	

審査請求 未請求 請求項の数1 FD (全5頁)

(21)出願番号	特願平7-287875	(71)出願人	000004075 ヤマハ株式会社 静岡県浜松市中沢町10番1号
(22)出願日	平成7年(1995)10月9日	(72)発明者	横井 勝之 静岡県浜松市中沢町10番1号ヤマハ株式会社内

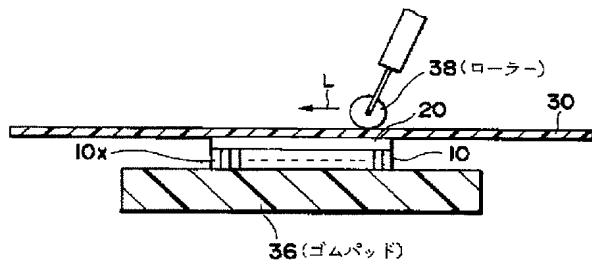
(74)代理人 弁理士 伊沢 敏昭

(54)【発明の名称】 六方晶窒化ガリウム系半導体層の劈開方法

(57)【要約】

【課題】 サファイア基板上にヘテロエピタキシャル成長させたGaN系半導体層を劈開する。

【解決手段】 サファイア基板10の表面にGaN系半導体層20をヘテロエピタキシャル成長させた後、半導体層20側に粘着テープ30を貼付する。基板10にダイシング等により劈開面に平行な溝10xを形成した後、基板10をゴムパッド36に載置した状態でローラー38で加圧するなどして半導体層20を溝10xに沿って劈開する。加圧手段としては、球型金型等を用いてもよい。



【特許請求の範囲】

【請求項1】サファイア基板上にヘテロエピタキシャル成長させた六方晶窒化ガリウム系半導体層を劈開するための劈開方法であって、前記半導体層の劈開面に平行に前記サファイア基板に溝を形成する工程と、前記半導体層に外力を加えることにより前記溝に沿って前記半導体層を劈開する工程とを含む劈開方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、サファイア基板上にヘテロエピタキシャル成長させた六方晶GaN（窒化ガリウム）系半導体層を劈開するための劈開方法に関し、特に半導体層の劈開面に平行な溝をサファイア基板に形成した後溝に沿って半導体層を劈開することにより平行且つ平滑な反射面を有するチップが簡単に得られるようにしたものである。

【0002】

【従来の技術】従来、半導体レーザーとしては、図10に示すものが提案されている。

【0003】基板1の上にN型クラッド層2、活性層3、P型クラッド層4を順次にヘテロエピタキシャル成長してダブルヘテロ構造とした後、基板1の下面には下部電極5を、P型クラッド層4の上面には上部電極6をそれぞれ形成する。そして、基板1及び層2～6からなるウエハを複数のチップに分離すべく切断する。この結果得られた複数のチップのうちの1つを示したのが図10である。

【0004】図10の半導体レーザーにあっては、電極5及び6の間に順方向電圧を印加することで活性層3に電子及びホールを閉じ込める。活性層3において電極6の下方に位置する部分が発光層となる。また、互いに対向する面S₁及びS₂を平行な鏡面としてファブリ・ペロー型共振器（光共振器）を構成する。この結果、光は定在波となって共振器内に閉じ込められ、光の帰還が可能となる。

【0005】一般に、ファブリ・ペロー型共振器を構成するS₁、S₂のような対向面には、平行性と平滑性とが要求される。このような平行性及び平滑性を満足するチップ化方法としては、劈開性を利用したものが知られている。例えば、六方晶で劈開性のあるZnSeを用いてレーザーを構成する場合、六方晶で劈開のあるGaN基板上にZnSeをエピタキシャル成長させて劈開面を揃え、ZnSe層をGaN基板と共に劈開する方法が採用されている。

【0006】近年、半導体レーザーは、短波長化の傾向にあり、青色レーザー等が求められている。青色レーザーの発光材料候補としては、GaN系の化合物半導体が注目されている。これは、GaN系化合物半導体がバンドギャップが広く、直接遷移型であり、しかも結晶が丈

夫であることによるものである。

【0007】従来、GaNでファブリ・ペロー型共振器に必要な平行且つ平滑な対向面を得る方法としては、

（1）準安定相である立方晶GaNを、立方晶で劈開性のあるGaNなどの基板上にエピタキシャル成長させ、立方晶GaN層を基板と共に劈開する方法、（2）ドライエッ칭処理により平面を出す方法の二つの方法が提案されている。

【0008】

10 【発明が解決しようとする課題】上記した（1）及び（2）の方法によると、それぞれ次の（A1）及び（A2）のような問題点があった。

【0009】（A1）立方晶GaNでは良質な結晶が得られない。

【0010】（A2）ドライエッ칭された面は、劈開された面に比べて平行性や平滑性が劣る。

【0011】一方、サファイア基板上にエピタキシャル成長させた六方晶GaNでは、GaNなどの基板上に成長させた立方晶GaNに比べて格段に良質の結晶が得られている。結晶の完全性を評価するには、X線のロッキングカーブの半値幅で比較するのがよいが、それによると、立方晶GaNは23minであるのに対して六方晶GaNは27secであり、サファイア基板上に成長させた六方晶GaNの方がはるかに結晶性良好である。なお、min及びsecは角度の単位であり、1°=60min、1min=60secの関係にある。

【0012】レーザーを実現するには、結晶の完全性が必須条件であるので、サファイア基板上に成長させた六方晶GaNを用いるのが得策である。しかし、サファイアには劈開性がないため、ZnSeや立方晶GaNのように基板と共に劈開するという方法を採用することができない。

【0013】従来、サファイア基板とその上にエピタキシャル成長させたGaN層とからなるウエハをチップ化すべく切断する方法としては、特開平5-166923号公報、特開平5-315646号公報、特開平5-343742号公報、特開平6-283758号公報等によりいくつかの方法が提案されている。しかし、これらの方法はいずれも、ウエハが劈開性を有しないことを前提にしてスクライビング、ダイシング、エッキング等を用いてチップ化を行なうものであり、GaN層の切断面において平行性及び平滑性が良好でなかった。このため、ファブリ・ペロー型共振器を実現することができなかった。

【0014】

【課題を解決するための手段】この発明は、サファイア基板が劈開性を有していないても、サファイア基板上にヘテロエピタキシャル成長させた六方晶GaN系半導体層が劈開性を有する点に着目してなされたものである。すなわち、この発明は、サファイア基板上にヘテロエピ

タキシャル成長させた六方晶GaN系半導体層を劈開するための劈開方法において、前記半導体層の劈開面に平行に前記サファイア基板に溝を形成する工程と、前記半導体層に外力を加えることにより前記溝に沿って前記半導体層を劈開する工程とを含むことを特徴とするものである。

【0015】この発明の劈開方法によれば、サファイア基板上に成長させた半導体層を劈開によりチップに分離することができる。従って、チップは、平行且つ平滑な反射面を有するものとなり、ファブリー・ペロー型共振器を容易に実現することができる。

【0016】

【発明の実施の形態】図1は、この発明の実施に使用されるサファイア基板を示すものである。

【0017】サファイア基板10は、GaNを成長すべき面が(0001)面を呈するものとし、GaNの劈開面に平行な面にオリエンテーションフラット10Fを設けておくとよい。具体的には、六方晶GaNは、(11-20)面又は(10-10)面で劈開する。サファイアも六方晶であるが、サファイア基板上にヘテロエピタキシャル成長されるGaN層は、結晶軸が30度回転している。このため、GaN層を(11-20)面で劈開したい場合は、サファイア基板10のオリエンテーションフラット10Fを(01-10)面に設けておき、GaN層を(10-10)面で劈開したい場合は、サファイア基板10のオリエンテーションフラット10Fを(11-20)面に設けておくとよい。

【0018】図1に示したサファイア基板10の上には、図2に示すように六方晶GaN系化合物半導体層20をヘテロエピタキシャル成長させる。一例として、GaNからなるバッファ層12を低温で成長させた後、N型GaNからなるクラッド層14、InGaNからなる活性層16、P型GaNからなるクラッド層18を順次に成長させる。バッファ層12は、その後の結晶成長を良好にするためのもので、30[nm]程度の厚さにする。層14、16、18の厚さは、それぞれ5[μm]、20[nm]、5[μm]程度にできる。成長方法としては、MBE(Molecular Beam Epitaxy)法又はMOCVD(Metalorganic Chemical Vapor Deposition)法等を用いることができる。

【0019】ここではダブルヘテロ構造を示したが、レーザーの性能を向上させるためにさらに複雑なSQW-SCH(Single Quantum Well-Separate Confinement Structure)のような量子井戸構造としてもよいこと勿論である。

【0020】次に、電極を形成する。基板10がサファイアからなり、絶縁体であるので、図10に示したように下部電極5を設けることができない。そこで、図8、9に示すようにホトリソグラフィ及び選択的ドライエッティング処理により凹部R₁、R₂を形成し、凹部R₁の

底部にN型クラッド層14につながる電極層22を形成する。電極層22は、例えばTi-Al合金をスパッタ法により被着し、被着層をパターニングして形成する。

【0021】この後、P型クラッド層18において、凹部R₁、R₂に挟まれた部分に図8、9に示すように電極層24を形成する。電極層24は、例えばNi-Au合金をスパッタ法により被着し、被着層をパターニングして形成する。

【0022】次に、図3に示すように基板10にダイシングにより溝を形成する。すなわち、基板10及び半導体層20を含むウエハにおいて半導体層20側にチップ散乱防止用の粘着シート30を貼付した後、粘着シート30をダイサーステージ32の上に載置する。そして、軸Qを中心にして回転するダイサー刃34により基板10をダイシングする。ダイシングは、図5に示すようにX方向及びY方向の2方向で行なう。

【0023】X方向は、オリエンテーションフラット10Fに平行な方向(半導体層20の劈開面に平行な方向)であり、ファブリー・ペロー型共振器の反射面を構成するために平行性及び平滑性が要求される。そこで、サファイア基板10の厚さ分だけダイシングする。このとき、ダイサー刃34は、図4に断面を示すように尖っている方がよい。このようにすると、この後の劈開が容易となる。図5において、10xは、X方向のダイシングで形成された溝を示す。

【0024】Y方向は、オリエンテーションフラット10Fに直角な方向であり、切断面に平行性及び平滑性が要求されない。従って、Y方向のダイシングでは、基板10のみならず半導体層20も一緒にダイシングする。図5において、10yは、Y方向のダイシングで形成された溝を示す。

【0025】Y方向のダイシングにより基板10と半導体層20と一緒に切断する場合、X方向のダイシングは、Y方向のダイシングの前に行なうのが好ましい。Y方向のダイシングを行なう前は、基板10及び半導体層20を含むウエハは分断されておらず、X方向のダイシングを精度よく行なえるからである。

【0026】次に、図6に示すように劈開を行なう。すなわち、ゴムパッド36の上に粘着シート30を上にして基板10を載置する。そして、ローラー38で粘着シート30を介して半導体層20を加圧しつつローラー38を矢印L方向に移動させる。すると、半導体層20は、下方に凸となる方向に応力を受け、溝10xに沿って劈開する。

【0027】図7は、他の劈開方法を示すものである。この場合、粘着シート30は、基板10が上になるようにして周辺部をクランプしておく。そして、粘着シート30側から大きな曲率半径の球型金型40を押し当てる。この結果、半導体層20は、上方に凸となる方向に応力を受け、溝10xに沿って劈開する。図7の方法

は、図6の方法に比べて半導体層20にかかる圧縮応力が小さいので、チップ欠けが少ない利点がある。

【0028】図6又は図7のいずれの方法を用いた場合にも、劈開の後は、粘着テープ30から個々のチップを分離する。

【0029】図8、9は、上記した一連の工程によりウエハから分離された多数のレーザーチップの1つを示すものである。10A、12A、14A、16A、18Aは、それぞれ基板10、バッファ層12、N型クラッド層14、活性層16、P型クラッド層18の各一部を示す。対向面S₁₁、S₁₂がファブリー・ペロー型共振器を構成するものである。

【0030】この発明によれば、対向面S₁₁、S₁₂として、劈開により平行性及び平滑性が良好な反射面が得られるので、半導体層20の結晶性が良好であること相俟って高性能の半導体レーザーを実現可能となる。

【0031】この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、次の(1)～(3)のような変更が可能である。

【0032】(1) 六方晶GaN層としては、AlN又はInN等を含むものであってもよい。

【0033】(2) サファイア基板に溝を形成するには、ダイシングの代りに又はダイシングの後、スクライビング又はエッチング等を用いててもよい。

【0034】(3) サファイア基板に溝を形成する前に、研磨等によりサファイア基板を薄くしてもよい。

【0035】

【発明の効果】以上のように、この発明によれば、六方晶GaN系半導体層を劈開してチップ化するようにした

*ので、平行且つ平滑な反射面を有する高性能半導体レーザーを簡単に実現できる効果が得られるものである。

【図面の簡単な説明】

【図1】 この発明の実施に使用されるサファイア基板を示す上面図である。

【図2】 図1の基板上へのGaNのエピタキシャル成長工程を示す断面図である。

【図3】 図2の工程に続くダイシング工程を示す断面図である。

10 【図4】 図3のA-A'線に沿うダイサー刃の断面図である。

【図5】 ダイシングされたサファイア基板を示す裏面図である。

【図6】 図3の工程に続く劈開工程を示す断面図である。

【図7】 図6の工程の代りに用いられる他の劈開工程を示す断面図である。

【図8】 この発明の劈開方法によりウエハから分離されたレーザーチップを示す上面図である。

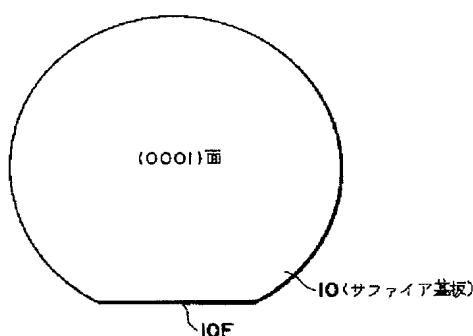
20 【図9】 図8のB-B'線に沿う断面図である。

【図10】 従来の半導体レーザーの一例を示す斜視図である。

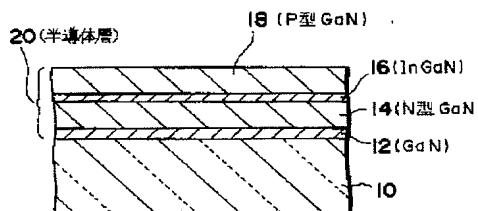
【符号の説明】

10: サファイア基板、12: GaNからなるバッファ層、14: N型GaNからなるクラッド層、16: InGaNからなる活性層、18: P型GaNからなるクラッド層、20: 半導体層、30: 粘着テープ、32: ダイサーステージ、34: ダイサー刃、36: ゴムパッド、38: ローラー、40: 球型金型。

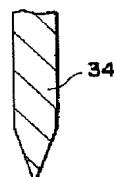
【図1】



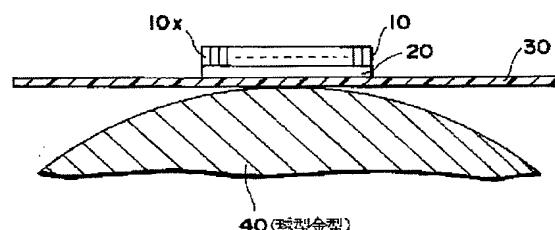
【図2】



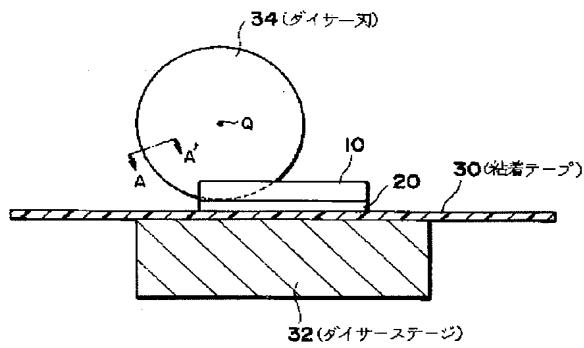
【図4】



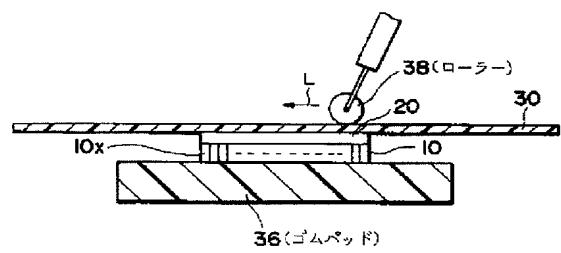
【図7】



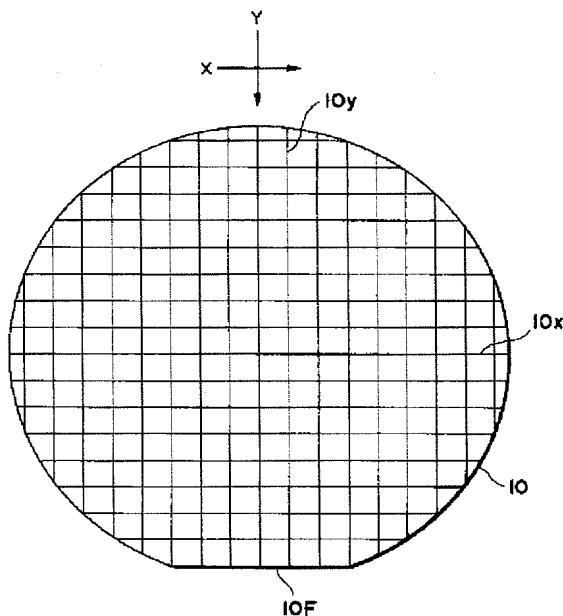
【図3】



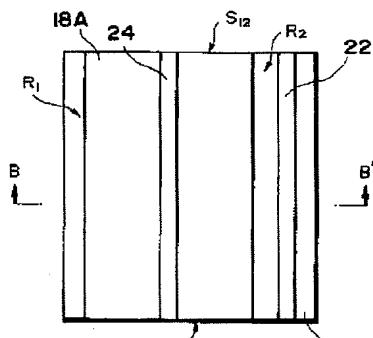
【図6】



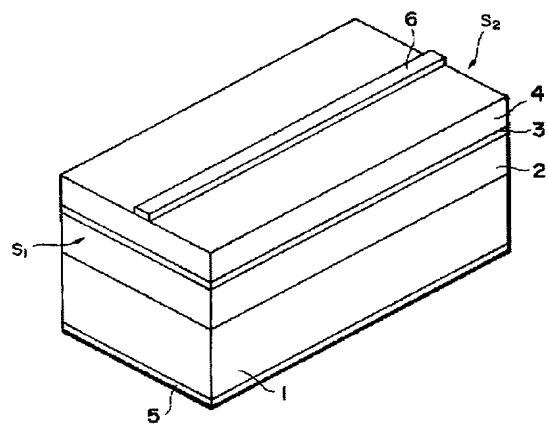
【図5】



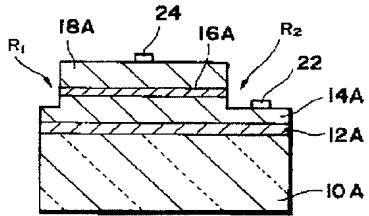
【図8】



【図10】



【図9】



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A process of being a cleavage method for carrying out cleavage of the hexagonal gallium nitride system semiconductor layer which carried out heteroepitaxial growth, and forming a slot in parallel with a cleavage plane of said semiconductor layer on silicon on sapphire at said silicon on sapphire, A cleavage method including a process of carrying out cleavage of said semiconductor layer along said slot by applying external force to said semiconductor layer.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] In this invention, cleavage of the semiconductor layer is carried out along with the posterior canal which formed the slot parallel to especially the cleavage plane of a semiconductor layer at silicon on sapphire about the cleavage method for carrying out cleavage of the hexagonal GaN (gallium nitride) system semiconductor layer which carried out heteroepitaxial growth on silicon on sapphire.

Therefore, the chip which has a parallel and smooth reflector is obtained simply.

[0002]

[Description of the Prior Art] Conventionally, what is shown in drawing 10 is proposed as a semiconductor laser.

[0003] After carrying out heteroepitaxial growth of the N type cladding layer 2, the active layer 3, and the P type cladding layer 4 one by one and considering it as double hetero structure on the substrate 1, the lower electrode 5 is formed in the undersurface of the substrate 1, and the upper electrode 6 is formed in the upper surface of the P type cladding layer 4, respectively. And it cuts that the wafer which consists of the substrate 1 and the layers 2-6 should be divided into two or more chips. Drawing 10 showed one of two or more chips obtained as a result.

[0004] If it is in the semiconductor laser of drawing 10, an electron and a hole are confined in the active layer 3 by impressing forward voltage among the electrodes 5 and 6. The portion located under the electrode 6 in the active layer 3 serves as a luminous layer. The Fabry-Perot resonator (optical resonator) consists of making into a parallel mirror plane field S_1 and S_2 which counter mutually. As a result, light serves as a standing wave, it is shut up in a resonator and the return of light of it is attained.

[0005] Parallelism and smooth nature are required of an opposed face like S_1 which constitutes the Fabry-Perot resonator, and S_2 generally. The thing using cleavability is known as the chip making method of satisfying such parallelism and smooth nature. For example, it is hexagonal, when it constitutes laser using ZnSe with cleavability, it is hexagonal, and on a GaAs substrate with cleavage, ZnSe is grown epitaxially, a cleavage plane is arranged, and the method of carrying out cleavage of the ZnSe layer with a GaAs substrate is adopted.

[0006] In recent years, a semiconductor laser is in the tendency of short wavelength formation, and blue laser etc. are called for. As a luminescent material candidate of blue laser, the compound semiconductor of a GaN system attracts attention. A GaN system compound semiconductor has a large band gap, and is a transited [directly] type, and, moreover, this is because a crystal is strong.

[0007] As a method of obtaining a parallel and smooth opposed face required for the Fabry-Perot resonator at GaN, conventionally, (1) Cubic GaN which is a metastable phase is grown epitaxially on substrates, such as GaAs which has cleavability by a cubic, and two methods, the method of carrying out cleavage of the cubic GaN layer with a substrate and the method of taking out a flat surface by (2) dry-etching processing, are proposed.

[0008]

[Problem(s) to be Solved by the Invention] According to the above-mentioned method of (1) and (2), there was a problem respectively as shown in the following (A1) and (A2).

[0009] (A1) The good crystal is not obtained in cubic GaN.

[0010] (A2) The field by which dry etching was carried out is inferior in parallelism or smooth nature compared with the field by which cleavage was carried out.

[0011] On the other hand, in hexagonal GaN grown epitaxially on silicon on sapphire, compared with cubic GaN grown up on substrates, such as GaAs, it is markedly alike, and the good crystal is obtained. In order to evaluate the completeness of a crystal, it is good for the half breadth of the rocking curve of X-rays to compare, but according to it, the crystallinity of the direction of hexagonal GaN which hexagonal GaN is 27 sec and was grown up on silicon on sapphire to cubic GaN being 23min is far good. min and sec are the units of an angle and have 1 degree=60min and a 1min=60sec relation.

[0012] Since the completeness of a crystal is an indispensable condition in order to realize laser, a best policy uses hexagonal GaN grown up on silicon on sapphire. However, since there is no cleavability in sapphire, the method of carrying out cleavage with a substrate like ZnSe or cubic GaN is not employable.

[0013] As a method of cutting that chip making of the wafer which consists of silicon on sapphire and a GaN layer grown epitaxially on it should be carried out conventionally, Some methods are proposed by JP,H5-166923,A, JP,H5-315646,A, JP,H5-343742,A, JP,H6-283758,A, etc. However, each of these methods performs chip making using scribing, dicing, etching, etc. on the assumption that a wafer does not have cleavability, and in the cutting plane of a GaN layer, parallelism and their smooth nature were not good. For this reason, the Fabry-Perot resonator was not able to be

realized.

[0014]

[Means for Solving the Problem] This invention is made on silicon on sapphire paying attention to a point that a hexagonal GaN system semiconductor layer which carried out heteroepitaxial growth has cleavability, even if silicon on sapphire does not have cleavability. That is, this invention is characterized by that a cleavage method for carrying out cleavage of the hexagonal GaN system semiconductor layer which carried out heteroepitaxial growth on silicon on sapphire comprises the following.

A process of forming a slot in said silicon on sapphire in parallel with a cleavage plane of said semiconductor layer. A process of carrying out cleavage of said semiconductor layer along said slot by applying external force to said semiconductor layer.

[0015] According to the cleavage method of this invention, a semiconductor layer grown up on silicon on sapphire is separable into a chip by cleavage. Therefore, a chip becomes what has a parallel and smooth reflector, and can realize the Fabry-Perot resonator easily.

[0016]

[Embodiment of the Invention] Drawing 1 shows the silicon on sapphire used for implementation of this invention.

[0017] The silicon on sapphire 10 is good for the field which should grow GaN to present a field (0001) and to form the orientation flat 10F in a field parallel to the cleavage plane of GaN. Specifically, cleavage of the hexagonal GaN is carried out in respect of a field (11-20) (10-10). Although it is hexagonal also in sapphire, the crystal axis is rotating the GaN layer by which heteroepitaxial growth is carried out on silicon on sapphire 30 degrees. For this reason, to carry out cleavage of the GaN layer in a field (11-20). The orientation flat 10F of the silicon on sapphire 10 is formed in the field (01-10), and it is good to carry out cleavage of the GaN layer in a field (10-10) to form the orientation flat 10F of the silicon on sapphire 10 in a field (11-20).

[0018] On the silicon on sapphire 10 shown in drawing 1, as shown in drawing 2, heteroepitaxial growth of the hexagonal GaN system compound semiconductor layer 20 is carried out. After growing up the buffer layer 12 which consists of GaN(s) at low temperature as an example, the cladding layer 14 which consists of N type GaN, the active layer 16 which consists of InGaN(s), and the cladding layer 18 which consists of P type GaN are grown up one by one. The buffer layer 12 is for making subsequent crystal growth good, and is made into the thickness about 30 [nm]. Thickness of the layers 14, 16, and 18 can be made into 5 [μm], 20 [nm], and 5 [μm] grades, respectively. As a growing method, the MBE (Molecular Beam Epitaxy) method or the MOCVD (Metalorganic Chemical Vapor Depositoin) method can be used.

[0019] it is good also as a quantum well structure like SQW-SCH (Single Quantum Well-Separate Confinement Structure) still more complicated [although double hetero structure was shown here] in order to raise the performance of laser -- it is natural.

[0020] Next, an electrode is formed. The substrate 10 consists of sapphire, and since it is an insulator, as shown in drawing 10, the lower electrode 5 cannot be formed. Then, as shown in drawing 8 and 9, crevice R₁ and R₂ are formed by photo lithography and alternative dry etching processing, and the electrode layer 22 connected with the pars basilaris ossis occipitalis of crevice R₂ at the N type cladding layer 14 is formed. The electrode layer 22 laminates Ti-aluminum alloy by a sputtering technique, for example, and patterns and forms a covering layer.

[0021] Then, in the P type cladding layer 18, as shown in drawing 8 and 9, the electrode layer 24 is formed in the portion pinched by crevice R₁ and R₂. The electrode layer 24 laminates nickel-Au alloy by a sputtering technique, for example, and patterns and forms a covering layer.

[0022] Next, as shown in drawing 3, a slot is formed in the substrate 10 by dicing. That is, after sticking the pressure sensitive adhesive sheet 30 for the prevention from chip dispersion on the semiconductor 20 side in the wafer containing the substrate 10 and the semiconductor layer 20, the pressure sensitive adhesive sheet 30 is laid on the dicer stage 32. And dicing of the substrate 10 is carried out with the dicer edge 34 which rotates focusing on the axis Q. Dicing is performed by the 2-way of the direction of X, and the direction of Y, as shown in drawing 5.

[0023] The direction of X is a direction (direction parallel to the cleavage plane of the semiconductor layer 20) parallel to the orientation flat 10F, and since the reflector of the Fabry-Perot resonator is constituted, parallelism and smooth nature are required. Then, dicing is carried out by the thickness of the silicon on sapphire 10. It is better for the dicer edge 34 to be sharp at this time, as a section is shown in drawing 4. Next cleavage will become easy if it does in this way. In drawing 5, 10x shows the slot formed by dicing of the direction of X.

[0024] The direction of Y is a direction right-angled to the orientation flat 10F, and parallelism and smooth nature are not required of a cutting plane. Therefore, in dicing of the direction of Y, dicing not only of the substrate 10 but the semiconductor layer 20 is carried out together. In drawing 5, 10y shows the slot formed by dicing of the direction of Y.

[0025] As for dicing of the direction of X, when dicing of the direction of Y cuts the substrate 10 and the semiconductor layer 20 together, it is preferred to carry out before dicing of the direction of Y. Before performing dicing of the direction of Y, it is because the wafer containing the substrate 10 and the semiconductor layer 20 is not divided but dicing of the direction of X can be performed with sufficient accuracy.

[0026] Next, cleavage is performed as shown in drawing 6. That is, on the rubber slab 36, the pressure sensitive adhesive sheet 30 is turned up, and the substrate 10 is laid. And the roller 38 is moved in the direction of arrow L, pressurizing the semiconductor layer 20 via the pressure sensitive adhesive sheet 30 with the roller 38. Then, the semiconductor layer 20 receives stress in the direction which serves as a convex caudad, and carries out cleavage along the slot 10x.

[0027] Drawing 7 shows other cleavage methods. In this case, the pressure sensitive adhesive sheet 30 clamps the periphery, as the substrate 10 turns up. And the ball-shaped metallic mold 40 of a big curvature radius is pressed from

the pressure sensitive adhesive sheet 30 side. As a result, the semiconductor layer 20 receives stress in the direction which serves as a convex in the upper part, and carries out cleavage along the slot 10x. Since the compression stress applied to the semiconductor layer 20 compared with the method of drawing 6 is small, the method of drawing 7 has an advantage with few chip chips.

[0028]Also when which method of drawing 6 or drawing 7 is used, after cleavage separates each chip from the adhesive tape 30.

[0029]Drawing 8 and 9 show one of the laser tips of a large number separated from the wafer by a series of above-mentioned processes. 10A, 12A, 14A, 16A, and 18A show one copy each of the substrate 10, the buffer layer 12, the N type cladding layer 14, the active layer 16, and the P type cladding layer 18, respectively. Opposed face S₁₁ and S₁₂ constitute the Fabry-Perot resonator.

[0030]Since the reflector where parallelism and smooth nature are good is acquired by cleavage as opposed face S₁₁ and S₁₂ according to this invention, it becomes good [the crystallinity of the semiconductor layer 20] conjointly realizable [a highly efficient semiconductor laser].

[0031]This invention is not limited to the above-mentioned embodiment, and is feasible with various change gestalten. For example, change like following (1) - (3) is possible.

[0032](1) aluminum or In may be included as a hexagonal GaN layer.

[0033](2) In order to form a slot in silicon on sapphire, scribing or etching may be used after dicing instead of dicing.

[0034](3) Before forming a slot in silicon on sapphire, silicon on sapphire may be made thin by polish etc.

[0035]

[Effect of the Invention]As mentioned above, since according to this invention cleavage of the hexagonal GaN system semiconductor layer is carried out and it was made to carry out chip making, the effect that the highly efficient semiconductor laser which has a parallel and smooth reflector is easily realizable is acquired.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a plan showing the silicon on sapphire used for implementation of this invention.

[Drawing 2]It is a sectional view in which it is shown like epitaxial growth Takumi of GaN to the substrate top of drawing 1.

[Drawing 3]It is a sectional view showing the dicing process following the process of drawing 2.

[Drawing 4]It is a sectional view of the dicer edge which meets the A-A' line of drawing 3.

[Drawing 5]It is a back view showing the silicon on sapphire by which dicing was carried out.

[Drawing 6]It is a sectional view showing the cleavage process of following the process of drawing 3.

[Drawing 7]It is a sectional view showing other cleavage processes of being used instead of the process of drawing 6.

[Drawing 8]It is a plan showing the laser tip separated from the wafer by the cleavage method of this invention.

[Drawing 9]It is a sectional view which meets the B-B' line of drawing 8.

[Drawing 10]It is a perspective view showing an example of the conventional semiconductor laser.

[Description of Notations]

Silicon on sapphire, the buffer layer which consists of 12:GaN, 14 : 10: The cladding layer which consists of N type GaN, 16: The active layer, 18 which consist of InGaN(s) :P The cladding layer which consists of the mold GaN, 20:semiconductor layer, 30:adhesive tape, 32:dicer stage, 34:dicer edge, 36:rubber slab, 38:roller, 40: Ball-shaped metallic mold.

[Translation done.]